

## Inhaltsverzeichnis

Einleitung .....	
Einige Grundlagen .....	
Numerischer Index der CMOS Bausteine .....	
Funktionsliste der CMOS Bausteine .....	
Logik .....	

## Einleitung:

### 1. CMOS

CMOS gilt heute als eine der universellsten, modernsten und zukunftssichersten Logikfamilien. Sie ist äußerst preisgünstig und in hunderten von verschiedenen Bausteine von einem Dutzend bekannter Hersteller erhältlich. Sie arbeitet über einen breiten, nicht kritischen Bereich der Betriebsspannung und nimmt überhaupt keine Leistung auf, wenn die Eingänge nicht geändert werden und sehr wenig Leistung abhängig von Arbeitsfrequenz. Die Eingänge besitzen nahezu eine unendlich hohe Eingangsimpedanz und die Ausgangssignale durchlaufen den ganzen Bereich der Betriebsspannung. Zusätzlich reicht die Ausgangsleistung, um fast beliebig viele CMOS-Bausteine zu treiben.

Die CMOS-Logik ist sehr wenig empfindlich gegen Systemrauschen und erzeugt auch selbst nicht viel Rauschen. Sie läßt sich auf einer linearen Arbeitsweise vorspannen und bietet eine unübersehbare Anzahl von Anwendungsmöglichkeiten .

Besonders wichtig ist, daß CMOS eine digitale Logikfamilie ist, mit der es wirklich Spaß macht zu arbeiten. Sie ist extrem tolerant gegen provisorische Versuchsaufbauten und einfache Stromversorgungen, wie dies typisch bei Amateuren, Studenten und industriellen Versuchsschaltungen der Fall ist. Sehr häufig stellt sich heraus, daß CMOS die beste Wahl für die Entwicklung von digitalen Logikschaltungen ist, speziell in preisgünstigen Anwendungen, insbesondere bei niedrigen Frequenzen. Der Name CMOS ist eine Abkürzung und bedeutet Complementary-Metall-Oxide-Silizium.

CMOS hat einige wesentliche Vorteile gegenüber früheren Logikfamilien. Die Vorzüge bestehen in sehr niedrigen Kosten, extrem niedrigem und unkritischen Leistungsbedarf, großem Logikhub, Umschalten in der Mitte der Betriebsspannung, nahezu unendlich großer Eingangsimpedanz und gute Rauscheigenschaften.

Außer diesen Vorteilen ist CMOS viel nachsichtiger und weniger kritisch in der Anwendung, als z.B. die TTL-Logik.

Aber auch CMOS ist nicht perfekt. Die meisten CMOS-Bausteine können maximal fünf Millionen oder weniger Eingangsänderungen pro Sekunde verarbeiten, das entspricht einer maximalen Takt- oder Datenrate von 5 Mega-Bits pro Sekunde. Neuere und verbesserte Versionen können jedoch diese Geschwindigkeitsgrenzen um das zehnfache übersteigen. CMOS-Ausgänge sind auch empfindlich gegen Belastung , speziell gegen Kapazitive. Man muß daher etwas sorgfältig mit CMOS-Schnittstellen, sogenannte Interfaces, oder Verbindungen zu anderer Logik umgehen.

## Der CMOS-Prozess

Schauen wir uns an, wie der Aufbau zweier grundlegender Typen von MOS vor sich geht. Wenn man diese zwei grundlegenden Typen miteinander verbindet, dann erhält man den ersten und einfachsten CMOS-Baustein, den Inverter. Bild 1 zeigt den Aufbau eines n-Kanal-Anreicherungs-MOS-Baustein. Der Grundblock besteht aus p-dotiertem Silizium. Anschließend werden zwei Anschlüsse in den Silizium-Block diffundiert. Dadurch werden zwei n-leitende Silizium-Bereiche aufgebaut. Die Kontaktfläche zwischen dem n-Bereich und dem p-Bereich wird eine pn-Sperrschicht, auch junction, genannt. Sie wird stromführend, wenn p positiv gegenüber n ist.

Bild 1

Die Zuleitung zum p-dotierten Grundblock nennt man Substrat, einen der n-Bereiche nennt man Quelle (source) und den anderen Bereich Senke (drain). Damit dieser Baustein leitend wird muß man den Stromfluß zwischen Source und Drain zu steuern. Um das zu verwirklichen braucht man ein ganz speziellen Kondensator zwischen dem Source und den Drain auf der Oberfläche.

Der Kondensator besteht aus einem Dielektrikum oder isolierten Lage aus Silizium-Dioxyd, Glas oder irgendeinem anderen Isolator. Auf der Oberseite dieses Isolators bringt man nun einen neuen Anschluß an den wir Gate nennen. Das Gate kann entweder aus Metall oder Silizium bestehen, solange es nur leitend ist. Metall-Gatter sind älter und einfacher, jedoch Silizium-Gatter sind empfindlicher, schnell und kleiner.

In Bild 2 ist das Source und das Substrat geerdet und das Drain mit einer positiven Spannung  $+V$  über einen Lastwiderstand verbunden. Der Gate Eingang ist ebenfalls geerdet. Da der Eingang nun geerdet ist existiert keine Spannungsdifferenz zwischen den beiden Platten des Kondensators. Der Transistor sperrt. Am Ausgang liegt daher eine positive Spannung an. Wenn man das Gate aber nun mit der positiven Spannungsquelle verbindet dann wird der Kondensator aufgeladen. Das Silizium verwandelt sich in ein n-leitendes Material an der Oberfläche. Es entstand ein n-leitendes Source, verbunden mit einem schmalen n-Bereich unter dem Gate mit einem n-leitenden Drain, wodurch sich ein kontinuierlicher n-Bereich vom Source zum Drain bildet. Der n-Kanal stellt einem sehr niedrigen Widerstand dar, so daß der Ausgang nahezu auf Masse geht. Der Transistor wurde also eingeschaltet indem ihm eine positive Gate-Spannung zugeführt wurde.

Und um den Transistor wieder abzuschalten braucht man nur das Gate zu erden bzw. auf Masse zu legen. Der Betrag der Spannung, der zum Einschalten benötigt wird, nennt man Schwellenspannung und beginnt bei etwa einem Volt aufwärts. Abhängig vom Baustein. Da der Transistor normalerweise abgeschaltet ist, und um ihn einzuschalten man ihm etwas zuführen muß, nennt man ihn einen Anreicherungstyp (enhancement-mode).

Das war bis hierher nur der grundlegende Aufbau und kein CMOS-Baustein. Wenn man jetzt zwei Transistoren nimmt, einen n-Kanal-MOS-Transistor und einen p-Kanal-MOS-Transistor, und sie in Reihe schaltet, dann erhält man den ersten CMOS-Baustein. Bild 3.

Bild 1.7

Durch diese Zusammenschaltung ergeben sich nun folgende Vorteile:

Der Ausgang ändert sich genau in der Hälfte zwischen den beiden Extremwerten der Stromversorgung +V und der Masse, wodurch das Diagramm genau in Mitte geteilt wird. Bild 4

Bild 1.8

## CMOS-Eigenschaften

0 Die Eingänge aller Bausteine haben nahezu unendlich hohen Widerstand und sind daher leicht anzusteuern.

0 Der Stromversorgung wird keine Leistung entnommen, mit Ausnahme bei Änderungen des Eingangs-Logik-Zustandes. Der Betriebsstrom ist extrem niedrig, speziell bei niedrigen Frequenzen.

0 Die Logikänderungen von High auf Low treten genau bei der Hälfte der Betriebsspannung auf, wodurch sich eine ausgezeichnete Rauschunempfindlichkeit ergibt.

0 Die Schaltungen arbeiten über einen breiten Betriebsspannungs-Bereich, typisch +3 bis +15 Volt.

0 Der Logik-Hub des Ausgangs geht (Ohne Belastung) von Masse bis zur positiven Betriebsspannung, das heißt über den vollen Bereich der verfügbaren Betriebsspannung.

0 CMOS-Ausgangsstufen erzeugen keine größeren Stromspitzen auf den Stromversorgungs-Zuleitungen, wodurch sie selbst sehr wenig Rauschen liefern.

## CMOS-Typen

Es gibt 3 verschiedene Typen von CMOS-Typen Einmal die konventionelle oder A.-Serie, die gepufferte oder B-Serie und die SOS-Bausteine (Silicon-on-Sapphire).

Die A-Serie ist die älteste und billigste und in dieser Serie sind die meisten Bausteine verfügbar. Die B-Serie stellt eine wesentliche Verbesserung gegenüber der A-Serie dar. Sie besitzen interne Puffer, die aus einem Inverter-Paar an allen Ausgängen bestehen, wie sie im Bild 5 zu sehen sind.

Die Verbesserungen, die sich daraus ergeben sind in Bild 6 zu sehen.

Im allgemeinen sollte immer die Serie B verwendet werden

## **Eingangs-Schutz**

Die Eingänge von CMOS-Bausteinen besitzen im wesentlichen offene Schaltungen. Gleichzeitig ist jedoch die dielektische Isolatorschicht des Gate-Kondensators extrem dünn. Wenn statische Elektrizität auf das Gate-Dielektrikum gelangt, können extrem hohe Feldstärken resultieren und das Gate kann rasch und bleibend zerstört werden. Ohne irgendwelche Schutzschaltungen kann die statische Elektrizität, die durch Reibung bei der Bewegung über einen Teppich oder durch Einstecken eines Bausteins in ein Styroporplatte entstehen kann, mehr als genug Spannung zur Zerstörung der Schaltung liefern. Um dieses Problem zu vermeiden, besitzen alle integrierten CMOS-Schaltungen interne Schutzeinrichtungen, zusammen mit anderen Arten von Schutz gegen Aufladung. Bild 7.

Bild 1-15

Nahezu alle diese Verfahren geben eine gute Eingangs-Schutzbeschaltung gegen Probleme mit statischer Elektrizität. Sie geben jedoch auch einen guten Schutz, wenn der Baustein nicht in einer Schaltung eingesetzt ist, vorausgesetzt, man geht entsprechend sorgfältig mit diesen Bausteinen um. Um CMOS-Bausteine zu schützen, bewahrt man diese in leitenden Schaumstoff oder metallischen Behältern vor der Verwendung auf.

Durch die Schutzschaltungen entsteht ein neues Problem. Man muß nun diese durch Überlastungen durch Ströme schützen. Man sollte den Strom durch die Schutzdiode auf ca. 10 mA begrenzen

## **Stromversorgungen**

CMOS ist eine Logikfamilie mit äußerst geringem Stromverbrauch und daher wesentlich auch leichter zu versorgen als alle anderen Logikfamilien. CMOS arbeiten in einem Bereich von 3 bis 15 Volt und ist weitgehend unempfindlich gegen Störspannungen

Die optimale Versorgungsspannung beträgt ca.,. 10 Volt Bei dieser Spannung erhaltet man eine sehr schnelle Arbeitsweise und beträchtliche Treibermöglichkeiten.

Bei einer Betriebsspannung von nur 5 Volt nimmt die Geschwindigkeit um über die Hälfte ab. Der Betriebsstrom von CMOS verdoppelt sich mit der doppelten Versorgung, so daß die nun verbrauchte Leistung = Leistung <sup>2</sup> ist. Bild 8 zeigt Sie Stromaufnahme in Abhängigkeit zur Frequenz.

Bild 1-16

## **Regeln für die Anwendung von CMOS**

0 Alle Eingänge sollen irgendwo angeschlossen sein. ZB. eine Verbindung zu einem Eingangssignal, zu +V oder zu Masse.

0 Schützen der Schutzschaltung. Vermeidung, daß die Eingangs-Schutzdioden leiten. Müssen sie trotzdem leiten so begrenzt man den Strom auf 10 mA. Beachten der Einflüsse der Dioden auf Zeitkonstanten und andere Impulsformer-Schaltungen.

0 Vermeidung der statischen Aufladung. Die CMOS-Bausteine in einem leitendem Schaumstoff oder in einem Metallgehäuse aufbewahren.

0 Aufbereitung der Eingangssignale, die zu einer getakteten Logik führen., Drucktaster, Schalter und Tastaturkontakte müssen entprellt sein und sie stör und prellfrei zu machen.

Verwendung von kurzen Anstiegs- und Abfallszeiten für den Takt. Die Anstiegszeiten und Abfallzeiten an den Takt Eingängen der getakteten Logikschaltungen müssen kürzer als 5 Microsekunden sein. Andernfalls könnte sich eine falsche Arbeitsweise ergeben.

## **Interface**

Interfacen ist die Kunst des Verbindens von CMOS-Logik mit anderen Logik-Systemen. Der Schlüssel zum Interface besteht darin, daß die Bits so umgewandelt werden, daß sie mit anderen Logik-Einheiten kommunizieren können. Bild 9 zeigt, wie die Kompatibilität zwischen CMOS und TTL hergestellt wird.



Bild 1-28

Im Grunde ist der CMOS ein großartiger Baustein. Die Vorteile sind so überragend, daß eine ganze Technologie integrierter Schaltungen hiermit aufgezogen wurde.