

PC - Bussysteme

Der 1985 von IBM entwickelte sog. **AT-Bus** wurde 1990 unter dem Namen **ISA-Bus** (industry standard architecture) standardisiert (durch das Normungsgremium IEEE unter der Bezeichnung P996). Der AT-Bus ist eine 16-Bit Erweiterung der 8-Bit-XT-Busses, es wurden fast alle Signale (bis auf 1 Anschluß) des 62-poligen Anschlusses übernommen, wodurch die Steckkompatibilität zu XT-Peripheriekarten gewahrt blieb. Da die Steckergröße nicht mehr ausreichte, wurde ein 36-poliger Expansion-Bus zugefügt, der die zusätzlichen Leitungen (z.B. die obere Hälfte der 16-Bit Daten) bedient. Einziger gravierender Unterschied zum rein synchronen XT-Bus: synchroner und asynchroner Betrieb (gemischt). Der AT-Bus wickelt Speicher- und I/O-Zugriffe von und zu Peripheriekarten ab und kennt 6 Hauptbuszyklen:

- CPU - Speicher
- CPU - I/O
- Busmaster - Speicher
- Busmaster - I/O
- DMA - I/O und Speicher
- Refresh

wobei noch weiter unterteilt wird in:

- 8 und 16 Bit
- Lesen und Schreiben
- Standard, Ready und 0-Wait-State

Dies ergibt 46 unterschiedliche Zyklen.

Der Bus war bereits kurz nach der Veröffentlichung technisch überholt: 16-Bit Busbreite, der Bustakt von erst 6 MHz, später 8 MHz, erlaubt eine theoretische Übertragungsrate von 8 MByte/s, praktisch werden jedoch nur bis zu 6 MByte/s erreicht. Die Begründung dafür liegt in der Aufrechterhaltung der Kompatibilität mit dem alten 8-Bit-Bus und das Adreß-/Datenmultiplexen.

Mit dem Erscheinen der 32-Bit-Prozessoren war nicht nur der Datenbus, sondern auch der Adreßraum zu eng. ISA-Erweiterungskarten erkennen daher nur die unteren 16 MByte des CPU-Adreßraums (vor allem störend bei HD-Controllern und Graphikkarten). Ist ein Rechner mit mehr als 16 MByte Hauptspeicher ausgestattet, so muß der Datentransfer zuerst in den Speicherbereich unter 16 MByte und danach ein Verschieben der Information nach oben erfolgen.

Bereits 1987 wurde versucht, diese Einschränkungen zu beheben. IBM veröffentlichte den 32-Bit breiten **MCA-Bus** (micro channel architecture). Eine restriktive Lizenzpolitik und hohe Preise sorgten dafür, daß diesem Bus der große Durchbruch verwehrt blieb. MCA ist inzwischen ein ebenso offener Standard (1990). Aktueller Stand: Version 2.0.

Leistungsmerkmale:

- CMOS-RAM zur Abspeicherung von Adapterkonfigurationen (keine Jumper oder Switches mehr)
- jede Peripheriekarte besitzt eine eigene ID-Nummer
- Multimasterfähigkeit, Arbitration über 4 Leitungen (max. 15 Teilnehmer) ähnlich CSMA/CD
- Daten- und Adreßpfad sind getrennt, können aber zu einem 64-Bit-Pfad zusammengeschaltet werden
- kein Bustakt
- Raten bis zu 160 MByte/s
- unbegrenzter Burst-Mode

Zahlreiche Hersteller ("IBM-Konkurrenz") schlossen sich zum EISA-Konsortium zusammen, mit dem Ziel, einen schnellen Bus zu entwickeln, der konkurrenzfähig zu MCA und trotzdem vollständig kompatibel zu ISA ist. Der Ergebnis wurde 2 Jahre später präsentiert: der **EISA-Bus**. Dieser arbeitet nach wie vor mit dem ISA-Bustakt (8 MHz), aber mit 32 Bit. Dies erlaubt eine Transferrate von 16 MByte/s. Es gibt jedoch eine Betriebsart, den sog. Burst-Mode (Startadresse im ersten Takt + nachfolgende Daten), der noch schnellere Übertragungen erlaubt. Aktueller Stand ist hier "Enhanced Master Burst" (EMB), der wesentlich höhere Raten erlaubt.

Leistungsmerkmale:

- CMOS-RAM zur Abspeicherung von Adapterkonfigurationen
- Multimasterfähigkeit, jeder Busmaster besitzt 2 Leistungen (Request und Acknowledge)
- Physikalischer Adreßraum 4 GByte
- Burst-Mode max. 256 DWords
- Interrupt-Sharing: mehrere EISA-Karten teilen sich einen Interrupt-Kanal

Grafikkarten-Hersteller benötigen einen schnellen und billigen Bus, der ohne aufwendige Logik auskommt. Die Hersteller von Peripheriegeräten präsentierten daher den **VESA-Local-Bus**, der bis 75 MByte/s Übertragungsraten gestattet. Es ist ein leicht modifizierte 486er-Prozessor-Bus. Die Spezifikation zeigt jedoch einige Schwachstellen: der Systemtakt darf nicht höher als 40 MHz sein, teilweise fehlen genaue Festlegungen bezüglich der Slots. Es dürfen maximal 3 VL-Devices betrieben werden, wobei die Slot-Anzahl vom VL-Bustakt abhängt (externer CPU-Takt). Grund ist die kapazitive Last jedes Steckplatzes (man rechnet mit ca. 1pF je cm Leitung, ca. 10pF je Treiber). Aktueller Stand: Version 2.0

Leistungsmerkmale:

- Burst-Mode: Zusammenschaltung der beiden 32-Bit Pfade
- nur 5V-Pegel sind definiert

Parallel zur VESA-Entwicklung definierte Intel ein neues Bus-system: **PCI** (peripheral component interface). Dies, weil die bisherigen Bussysteme nicht mehr leistungsfähig genug und vor allem nicht zukunftssicher erschienen (wegen der 64-Bit-Prozessoren). Der PCI-Bus ist durch eine CPU-Bridge vom eigentlichen Prozessorbus entkoppelt, bezüglich der Konfiguration (automatisches Setup) wurden viele Eigenschaften von MCA und EISA übernommen.

Die Weiterentwicklung des PCI-Busses wurde an ein unabhängiges Komitee weitergegeben, um eine herstellerunabhängige Aktualität zu garantieren. Aktueller Stand: Version 2.0.

Leistungsmerkmale:

- Multimasterfähigkeit, zentrale Arbitration mittels geographischer Prioritäten und Watchdog
- automatische Konfiguration wie bei MCA und EISA
- bis zu 9 PCI-Devices
- gemultiplexer Adreß-Datenbus
- für die Transferart ist nicht die CPU sondern die Bridge verantwortlich
- Spezifikation auch für 3,3V